

XP-002221367

AN - 1978-91887A [51]

CPY - MATU

DC - L03 U11 U12

FS - CPI;EPI

IC - H01L21/94 ; H01L29/78

MC - L03-D03D

PA - (MATU) MATSUSHITA ELEC IND CO LTD

PN - JP53129971 A 19781113 DW197851 000pp

PR - JP19770045301 19770419

XIC - H01L-021/94 ; H01L-029/78

AB - J53129971 Method comprises (1) forming a first layer on a p-type Si substrate; (2) forming a second layer of anodisable metal; (3) forming a photo-resist layer on the second layer; (4) oxidising the exposed surface of the second layer to form an oxide; (5) etching off the photo-resist layer and a part of the second layer placed under the photo-resist layer; (6) implanting boron ions into the substrate from the exposed surface to form boron diffusion regions in the substrate, wherein in the remaining second layer is used as a mask; (7) selectively over-etching the second layer under the mask of the oxide layer; (8) etching off the first layer selectively except the part of the first layer placed under the remaining second layer to selectively expose the substrate; and (9) oxidising the exposed surface of the substrate to form thick SiO₂ layers which are used as insulation.

- The first layer consists of Si₃N₄, Ta₂O₅ or HfO₂. The second layer consists of Al, ta or Mo.

IW - INSULATE SILICON WAFER FORMING THICK OXIDE LAYER SPECIFIC POINT

IKW - INSULATE SILICON WAFER FORMING THICK OXIDE LAYER SPECIFIC POINT

NC - 001

OPD - 1977-04-19

ORD - 1978-11-13

PAW - (MATU) MATSUSHITA ELEC IND CO LTD

TI - Insulating a silicon wafer - by forming a thick oxide layer at specific points

⑨日本国特許庁
公開特許公報

⑪特許出願公開
昭53—129971

⑤Int. Cl.² 識別記号 ⑥日本分類 庁内整理番号 ④公開 昭和53年(1978)11月13日
H 01 L 21/94 99(5) C 23 7377—57
H 01 L 21/316// 99(5) E 3 6603—57 発明の数 1
H 01 L 29/78 審査請求 未請求

(全 4 頁)

④半導体装置の製造方法

門真市大字門真1006番地 松下
電器産業株式会社内

①特 願 昭52—45301
②出 願 昭52(1977)4月19日
⑦発 明 者 大曾根隆志

①出 願 人 松下電器産業株式会社
門真市大字門真1006番地
⑦代 理 人 弁理士 中尾敏男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- (1) 半導体基板の主平面上に酸化に対するマスク材としての第1の膜を全面に形成する工程と、その上面に陽極酸化可能な第2の膜を全面に形成する工程と、更にその上面にフォトリソレジスト膜を選択的に形成する工程と、該フォトリソレジスト膜で覆われていない領域の上記第2の膜を選択的に陽極酸化膜に変換する工程と、該陽極酸化膜をマスクとして上記第2の膜を選択的にエッチする工程と、上記第2の膜をマスクとして上記半導体基板と同一導電型を有する不純物原子を選択的に導入する工程と、上記陽極酸化膜をマスクとして、その下面の上記第2の膜をオーバ・エッチングする工程と、このオーバ・エッチングされた上記第2の膜をマスクとして上記第1の膜を選択的に除去する工程と、更にこの第1の膜をマスクとしてシリコン酸化膜

工程とを備えた、
を選択的に形成することを特徴とする半導体装置の製造方法。

- (2) 第1の膜としてシリコン窒化膜、アルミニウム酸化膜、タンタル酸化膜、ハフニウム酸化膜のいずれかを、第2の膜としてAl膜、Ta膜、Mo膜、Si膜のいずれかを用いたことを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置に於ける選択酸化膜による絶縁分離法(LOCOS法又はIsoplanar法と呼ばれる)の改良に関し、特に、高密度、高性能なMOS型半導体装置に適用可能な選択酸化膜分離法を提供することを目的とする。

まず第1図、第2図を用いて従来の選択酸化膜分離法を説明する。第1図はSiゲートNチャネルMOS・ICの構造断面図を示す。左側にMOSトランジスタ部分の、右側に負荷MOSTランジスタのゲート部分の断面図を示す。11はp型Si基板、12は絶縁分離用の選択酸化膜、13は選

択酸化膜12の下面に形成されたチャネル・ストップ拡散領域としてのボロン拡散領域、14a、14bはSiゲート、15及び15'はゲート酸化膜、16はCVD酸化膜である。17a、17bはMOSトランジスタのソース、ドレイン拡散領域、18a、18bはアルミ配線である。従来の選択酸化膜形成法では図中に示す如くチャネル・ストップ拡散領域13が選択酸化膜12の下面からはみ出し、この領域13はソース、ドレイン拡散領域17a、17b及び負荷MOSトランジスタのゲート酸化膜15'の下領域に侵入する。

ところで、N型ソース、ドレイン拡散領域17a、17bのP-N接合容量はそれが接するP型領域の不純物濃度 N_B に対して $\sqrt{N_B}$ に比例して増大する。しかるにP型のチャネル・ストップ拡散領域13の不純物濃度はSi基板11の不純物濃度に比べて約100倍高いため、ソース、ドレイン拡散領域17a、17bとチャネル・ストップ拡散領域13の重なる面積は小さくとも大きなP-N接合容量を有し、ソース、ドレイン拡散領域17a、

17bのP-N接合容量を著るしく大きくすることになり電気的特性、特にMOSトランジスタのスイッチング時間特性の劣化を招く。一方、負荷MOSトランジスタのゲート酸化膜15'の下へのチャネル・ストップ拡散領域13の入り込みは、その等価的なチャネル巾の減少を招き、特にゲート酸化膜15'の巾の狭い負荷MOSトランジスタでは、その入り込み量が多い場合にはチャネル・ストップ拡散領域13で覆われて正常なMOSトランジスタ動作ができなくなり、致命的な欠点となる。なお、負荷MOSトランジスタのソース、ドレイン拡散領域(図示せず)は図面の垂直方向に形成されており、チャネル・ストップ領域13の間隔がチャネル巾となる。

第2図は第1図に示す従来のMOS・ICに於ける選択酸化膜12の詳細な形成工程を示したものである。すなわちP型Si基板11の主平面上に全面にシリコン窒化膜22を形成し、更にその上にフォトリソレジスト膜23を島状に形成する。このフォトリソレジスト膜23をマスクとしてボロン

・イオン注入を行ない、Si基板11の上面にP⁺領域24を形成する(a)。次に、フォトリソレジスト膜23をマスクとしてプラズマ・エッチ法等を用いてシリコン窒化膜22を選択的に除去し、開口部25を形成する(b)。1,000℃～1,150℃の湿った酸素中で加熱酸化し、シリコン窒化膜22で覆われていない領域25に選択的にシリコン酸化膜12を形成する。このとき同時に前述のチャネル・ストップ拡散領域13が形成される。この場合、シリコン窒化膜22で覆われていない領域25の全面にボロンが導入されていることや、酸化温度が高くボロンの拡散による拡がりが多いことによってチャネル・ストップ拡散領域13はシリコン酸化膜12の下面をはみ出して大きく横方向にひろがってしまう(c)。次に、シリコン窒化膜22を熱リン酸溶液中で選択的に除去して完成する(d)。

このように、従来の方法では、チャネル・ストップの横方向拡がりが大きく、高密度化にとって大きな問題となりさらにMOSICの性能を低

下させる要因であった。そこで本発明はこのような実状に鑑み、より高密度で高性能のMOS型半導体装置を得るものであり、以下図面とともに本発明を説明する。

本発明の一実施例にかかるMOSICの製造方法を第3図に示す。まずP型Si基板21の主平面上に全面に約1,000Åのシリコン窒化膜22を形成し、更にその上に陽極酸化可能な膜としてAl膜30を約1,000Å形成する(a)。ポジ型フォトリソレジスト膜31を全面に塗布し、フォトリソマスク32を用いて露光する。この場合、ポジ型フォトリソレジスト膜31を用いているので、一般的にフォトリソマスク32の不透明部33の巾より光の回折のため狭く露光される(b)。この状態でポジ型フォトリソレジスト膜31を現像すれば光の照射されていないレジスト膜部分34が残る。この場合、前述の如くフォトリソマスク32の不透明部33の巾より狭く残る。このフォトリソレジスト膜34を陽極酸化に対するマスクとして、Al膜30の露出している領域を選択的に陽極酸化Al₂O₃膜35に

交換する。Al膜の陽極酸化は例えば五硝酸アンモニウムのエチレングリコール溶液中でAl膜を陽極として行なう。この時の陽極酸化 Al_2O_3 膜35の膜厚は化成電圧 V_a に比例し、 $1.4 \times V_a$ (Å)である。今、 $V_a = 70V$ で化成すれば、1,000 Åの陽極酸化 Al_2O_3 膜35が得られる。この場合、 $V_a \geq 90V$ ではフォトリソレジスト膜34の破壊が起りフォトリソレジスト膜が剝離するため正常な陽極酸化 Al_2O_3 膜35が形成されないのに注意を要する(c)。フォトリソレジスト膜34をJ-100液等で除去した後、陽極酸化 Al_2O_3 膜35をマスクとして熱リン酸60℃でAl膜30を選択的に除去する。次に、Al膜30及び陽極酸化 Al_2O_3 膜35をイオン注入に対するマスクとして用い B^+ イオンを注入しイオン注入層36を形成する。この場合、最終のシリコン酸化膜12の膜厚のほぼ1/2の深さに注入した B^+ イオンのピークがくる様にすることが好ましい(d)。

次に陽極酸化 Al_2O_3 膜35をマスクとしてAl膜30を更に熱リン酸60℃でオーバ・エッチ

ングする。このオーバ・エッチングによるアンダー・カット量37は、オーバ・エッチング時間の制御によって0.2 μm ~ 1.0 μm 程度まで制御可能である。1,000 Åの陽極酸化 Al_2O_3 膜35であれば最大1 μm のアンダー・カット量37まで制御できるが、これ以上では陽極酸化 Al_2O_3 膜35が熱リン酸溶液60℃に侵されてしまう。このオーバ・エッチングされたAl膜30'をマスクとして CF_4 プラズマ等でシリコン窒化膜22を選択的に除去する。この場合、Al膜30'は CF_4 プラズマ・エッチングに対して極めて良いマスク材となる(e)。Al膜30'及び陽極酸化 Al_2O_3 膜35を熱リン酸60℃や五水等で除去する。次いで、シリコン窒化膜22を酸化に対するマスクとして用いSi基板21を加熱酸化し、Si基板21の露出した領域に選択的にシリコン酸化膜25を形成する。この場合、950℃以下の比較的低温のウェット酸化を行なえばイオン注入された B^+ イオン分布の再分布が少なく、且つ選択酸化によって形成されたシリコン酸化膜12とSi基板21の界面近傍に注

入された B^+ イオンのピーク濃度が存在するためその閾値電圧 V_{TF} を高くすることができる(f)。最後にシリコン窒化膜22を CF_4 プラズマや熱リン酸(約200℃)で選択的に除去して完成する。(g)

以上の方法によれば第3図(g)に示す如く、シリコン酸化膜12の下面にボロン拡散領域36が限定され、第1図の如くはみ出すことはない。

なお、第3図の説明には酸化に対するマスク材としての第1の膜としてシリコン窒化膜22及び陽極酸化可能な第2の膜としてAl膜30を用いて説明したが同様な性質を有する膜であれば使用可能であることは明らかである。例えば第1の膜としてアルミニウム酸化膜、タンタル酸化膜、ハフニウム酸化膜等が、第2の膜としてTa膜、Mo膜、Si膜等が使用できる。

本発明を用いれば、チャネル・ストップ拡散領域としてのボロン拡散領域36はシリコン酸化膜12の下面に限定されるためMOS型半導体装置に適用した場合、ソース、ドレイン拡散領域のP-N接合容量を増大されず、MOSトランジスタ

のスイッチング時間特性を劣化させない。又本発明を用いれば負荷MOSトランジスタは第1図に示すゲート酸化膜15'の巾に等しいチャネル巾が得られ如何にチャネル巾が狭くならうとも正常な負荷MOSトランジスタとして動作する。従って、本発明は、高密度で、電気的特性の優れた高性能なMOS型半導体装置に適用できる選択酸化膜分離法として著るしい効果を上げるものである。

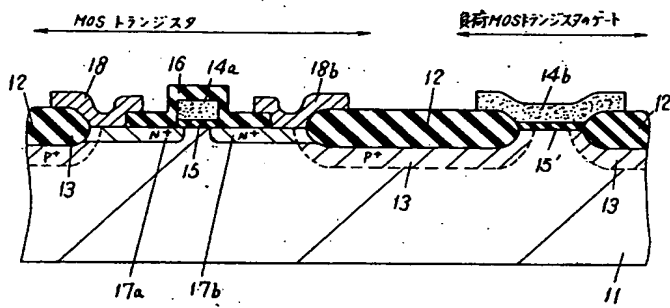
4. 図面の簡単な説明

第1図は従来の選択酸化法によるMOS型半導体装置の構造断面図、第2図(a)~(d)は第1図の装置の製造工程図、第3図(a)~(g)は本発明の一実施例にかかるMOS型半導体装置の製造工程断面図である。

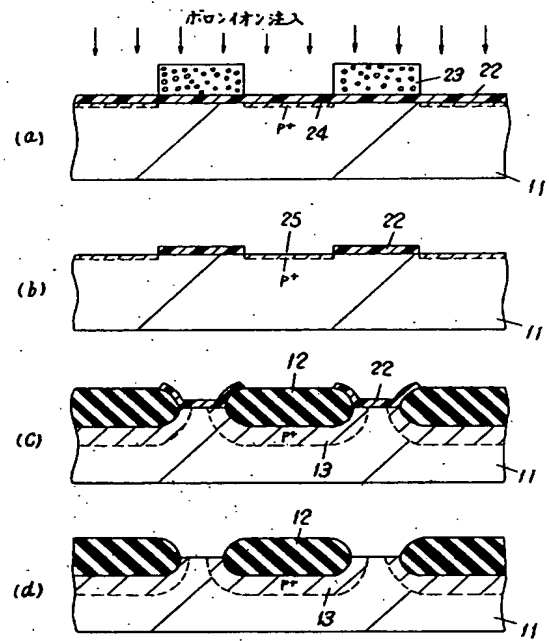
11……Si基板、12……シリコン酸化膜、21……P型Si基板、22……シリコン窒化膜、31、34……フォトリソレジスト膜、36……ボロン拡散領域、30、30'……Al膜、35……陽極酸化 Al_2O_3 膜。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

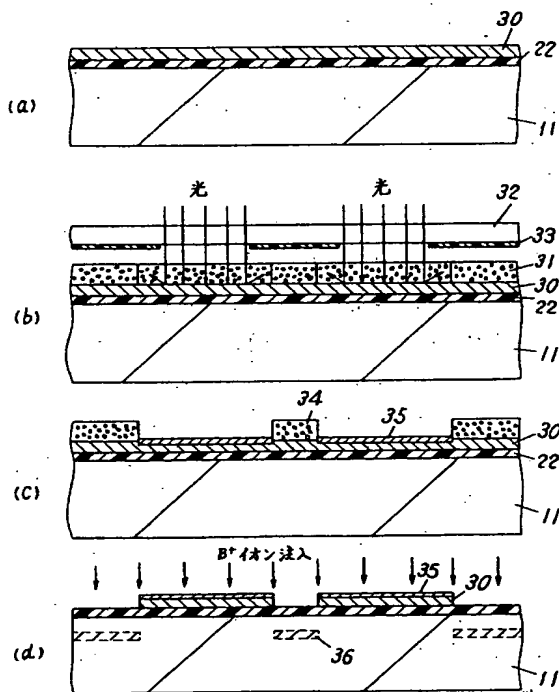
第 1 図



第 2 図



第 3 図



第 3 図

